

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150875

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 29/78  
 C23C 14/34  
 C23C 16/34  
 H01L 21/31  
 H01L 21/314  
 H01L 21/336

(21)Application number : 10-323330

(22)Date of filing : 13.11.1998

(71)Applicant : TOSHIBA CORP

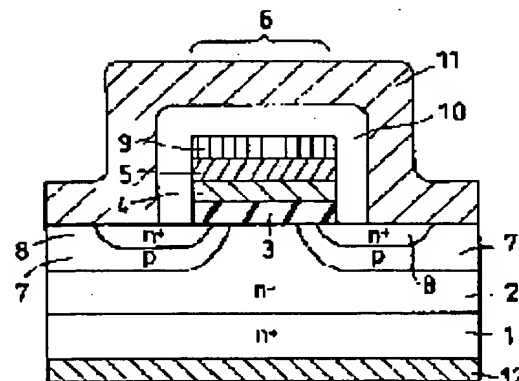
(72)Inventor : IMAI SEIJI  
 SHINOHE TAKASHI  
 ITAYA KAZUHIKO  
 KUSHIBE MITSUHIRO  
 FUJIMOTO HIDETOSHI  
 MORITSUKA MAYUMI  
 TAKIGAWA OSAMU  
 KOBAYASHI SETSUKO  
 NUNOGAMI SHINYA  
 HACHIMAN AKIHIRO

## (54) SEMICONDUCTOR DEVICE AND FORMATION OF THIN FILM

## (57)Abstract:

PROBLEM TO BE SOLVED: To materialize the material characteristics of SiC and obtain an SiC- FET which can operate stably by preventing the degradation of quality and breakage due to voltage applied to a gate insulation film and reducing leakage current.

SOLUTION: This device is provided with a first conductive type high resistance drift layer 2 formed on a silicon carbide substrate, a second conductive type base area 7, a first conductive type source area 8, an AlN film 3 formed on the gate area, etc., on the surface of the second conductive type base area, and a surface covering film 4 formed on the AlN film 3. The surface covering film 4 is made of  $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}_y$  (x: real number,  $0 \leq x \leq 1$ ; y: real number,  $0 \leq y \leq 1$ ;  $x+y \leq 1$ ), etc.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-150875

(P2000-150875A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 K

4 K 0 2 9

C 2 3 C 14/34

C 2 3 C 14/34

A

4 K 0 3 0

16/34

16/34

5 F 0 4 0

H 0 1 L 21/31

H 0 1 L 21/31

B

5 F 0 4 5

21/314

21/314

A

5 F 0 5 8

審査請求 未請求 請求項の数16 O L (全 23 頁) 最終頁に続く

(21)出願番号

特願平10-323330

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日

平成10年11月13日(1998.11.13)

(72)発明者 今井 聖支

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 100083161

弁理士 外川 英明

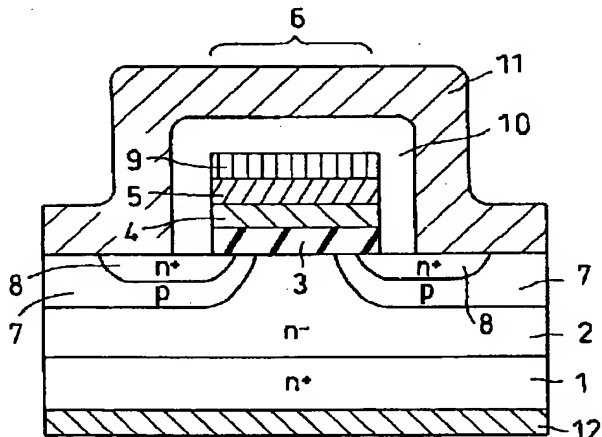
最終頁に続く

(54)【発明の名称】 半導体装置及び薄膜形成方法

(57)【要約】

【課題】 品質劣化を防止し、ゲート絶縁膜に印加される電圧による破壊を防止し、またリーク電流を低減することにより、SiCの材料特性を十分に引き出し且つ安定動作可能なSiC-FETを実現すること。

【解決手段】 炭化珪素基板に形成された第一導電型高抵抗ドリフト層2と、第二導電型ベース領域7と、第一導電型ソース領域8と、第二導電型ベース領域表面のゲート領域等の上に形成されたAlN膜3と、AlN膜3上に形成された表面被覆膜4とを有し、表面被覆膜4がAl, Ga, In, N (但し、xは $0 \leq x \leq 1$ の実数、yは $0 \leq y \leq 1$ の実数、かつ $x+y \leq 1$ である。)等からなることを特徴とする半導体装置。



## 【特許請求の範囲】

【請求項 1】 炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第二導電型ベース領域表面のゲート領域及び接合終端領域のうち少なくとも一つの領域上に形成された AlN 膜と、前記 AlN 膜上に形成された表面被覆膜とを有する半導体装置であって、前記表面被覆膜が  $Al_xGa_{1-x}In_yN$  (但し、 $x$  は  $0 \leq x \leq 1$  の実数であり、 $y$  は  $0 \leq y \leq 1$  の実数であり、 $x+y \leq 1$  である。)、 $ZnO$ 、 $LiAlNO$ 、 $LiGaNO$ 、 $HfO$ 、 $ScN$ 、 $TiB_2$ 、 $UB_2$ 、 $WB_2$  の一群より選択された 1 種類あるいは複数種類から構成されていることを特徴とする半導体装置。

【請求項 2】 炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第一導電型ソース領域から前記第一導電型高抵抗ドリフト層に達するトレンチと、このトレンチ内部に絶縁膜を介して埋め込まれたゲート電極と、前記トレンチ内部の絶縁膜の領域及び接合終端領域のうち少なくとも一つの領域上に形成された AlN 膜と、前記 AlN 膜上に形成された表面被覆膜とを有する半導体装置であって、前記表面被覆膜が  $Al_xGa_{1-x}In_yN$  (但し、 $x$  は  $0 \leq x \leq 1$  の実数であり、 $y$  は  $0 \leq y \leq 1$  の実数であり、 $x+y \leq 1$  である。)、 $ZnO$ 、 $LiAlNO$ 、 $LiGaNO$ 、 $HfO$ 、 $ScN$ 、 $TiB_2$ 、 $UB_2$ 、 $WB_2$  の一群より選択された 1 種類あるいは複数種類から構成されていることを特徴とする半導体装置。

【請求項 3】 前記炭化珪素基板が、六方晶系炭化珪素よりなることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第二導電型ベース領域の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する半導体装置であって、前記ゲート絶縁膜及び接合終端領域上の表面保護膜のうち少なくとも一つは不純物がドーブされた AlN からなることを特徴とする半導体装置。

【請求項 5】 炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第一導電型ソース領域から前記第一導電型高抵抗ドリフト層に達するトレンチと、このトレンチ

内部に絶縁膜を介して埋め込まれたゲート電極とを有する半導体装置であって、前記トレンチ内部の絶縁膜及び接合終端領域上の表面保護膜のうち少なくとも一つは不純物がドーブされた AlN からなることを特徴とする半導体装置。

【請求項 6】 前記不純物が、酸素、炭素から選ばれた少なくとも 1 種の元素からなることを特徴とする請求項 4 又は 5 に記載の半導体装置

【請求項 7】 前記不純物が、希土類元素の内から選ばれた少なくとも 1 種の元素からなることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 8】 前記不純物が、亜鉛、カドミウム、あるいはアルカリ土類のマグネシウム、カルシウム、ストロンチウム、バリウムの内から選ばれた少なくとも 1 種の元素からなることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 9】 不純物がホウ素であることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 10】 基板上にシリコン酸化膜を選択的に形成した後、水素化物系ガスを流しながら  $Al$ 、 $Ga$ 、 $In$ 、 $N$  ( $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$  である。) を主体とする膜を成長させることによって、前記  $Al$ 、 $Ga$ 、 $In$ 、 $N$  を主体とする膜を前記基板上のみに形成することを特徴とする薄膜形成方法。

【請求項 11】 基板上にシリコン酸化膜を選択的に形成した後、弗化物系ガスを流しながら  $Al$ 、 $Ga$ 、 $In$ 、 $N$  ( $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$  である。) を主体とする膜を成長させることによって、前記  $Al$ 、 $Ga$ 、 $In$ 、 $N$  を主体とする膜を前記基板上のみに形成することを特徴とする薄膜形成方法。

【請求項 12】 基板上にシリコン酸化膜を選択的に形成した後、塩素又は塩化物系ガスを流しながら  $Al$ 、 $Ga$ 、 $In$ 、 $N$  ( $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$  である。) を主体とする膜を成長させることによって、前記  $Al$ 、 $Ga$ 、 $In$ 、 $N$  を主体とする膜を前記基板上のみに形成することを特徴とする薄膜形成方法。

【請求項 13】 基板上に  $Al$ 、 $Ga$ 、 $In$ 、 $N$  ( $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$  である。) を主体とする膜を形成した後に、アルカリ性溶液を用いてエッチングすることにより、前記  $Al$ 、 $Ga$ 、 $In$ 、 $N$  を主体とする膜を前記基板上に選択的に形成することを特徴とする薄膜形成方法。

【請求項 14】 前記基板上に形成される前記  $Al$ 、 $Ga$ 、 $In$ 、 $N$  ( $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$  である。) を主体とする膜が、不純物 C と H と O を含むことを特徴とする請求項 10 乃至 13 に記載の薄膜形成方法。

【請求項 15】 前記基板の表面は SiC からなること

を特徴とする請求項10乃至14記載の薄膜形成方法。

【請求項16】 第1のn型SiC層と、第2のn型SiC層と、前記第1及び第2のn型SiC層の間のp型SiC層と、前記第1及び第2のn型SiC層及びp型SiC層を覆う絶縁膜と、この絶縁膜上に形成された電極層とを備えたMOS型トランジスタ構造を持つ電力用の半導体装置であって、測定箇所の数をN、i番目の測定箇所の高さを $h_i$ として、

【数1】

$$\left[ (1/N) \sum_{i=1}^N \left\{ h_i - \left( \sum_{i=1}^N h_i / N \right) \right\}^2 \right]^{1/2}$$

を平均ラフネスと定義した場合に、前記絶縁膜下の第1及び第2のn型SiC層及びp型SiC層の表面の平均ラフネスが0.3nm以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高耐圧且つ低電流損失な半導体装置に係り、特にSiCを用いた半導体装置に関する。また、本発明は、薄膜形成方法に係り、特に基板上にAl、Ga、In、N ( $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。)を主体とする膜を、選択的に且つ簡便に形成する方法に関する。

【0002】

【従来の技術】 高耐圧、低損失のパワーデバイス用半導体として、従来のSiに換わるSiCが期待されている。それはSiCがSiと比較してバンドギャップが2～3倍、絶縁破壊強度が約10倍、飽和電子ドリフト速度が約2倍と大きく、そのため同半導体をパワーデバイスに応用した場合、デバイスの高耐圧化、高温動作及び高周波動作が可能となるからである。

【0003】 特にSiCを例えば縦形FETに応用した場合、Siと比較し1KV以上の阻止電圧においてオン抵抗をほぼ2桁と大きく低減できることが示されている（これについては、B. J. Baliga、'Trends in Power Semiconductor Devices' IEEE Trans. Electron Devices, vol. 43 pp1717～1731、1996に詳しく記載されている。）。

【0004】 しかし、SiCのFET（例えば縦形FET）については以下の様な問題がある。一般に縦形FETでは、接合終端上の保護膜及びゲート絶縁膜に酸化シリコン膜が用いられている。この様な膜構造においてSiCの優れた物性を引き出すためにSiCに臨界近くの電界を印加した場合、相対的に誘電率の小さな酸化シリコン膜に大きな電界が印加されることになる。ここで印加された電界は酸化シリコン膜の絶縁破壊強度に近いレベルにまで達し、その結果SiC縦形FETの安定動作を維持することが困難となる。

【0005】 そこで、絶縁膜に酸化シリコンより誘電率の大きな材料を用いて、膜自体に印加される電界を低減することが検討されている。その様な絶縁材料の最も有力な候補としては、電氣的に優れた物性を有するAlN（アルミニウムナイトライド）膜が挙げられる。AlN膜は比誘電率が約8.5と酸化シリコン膜の2倍強であり、また臨界破壊電界強度も約6MV/cm程度と絶縁膜材料として優れており、そのため上に述べたような絶縁膜に印加される電界を緩和する目的に非常に適している。

【0006】 しかし、このAlN膜を絶縁膜として用いる上での大きな問題は、その潮解性にある。一般にFETの作製工程では、例えばAlN膜を形成後、その後の工程に入る前に必ず膜表面の不純物除去等を目的として純水を含んだ薬液処理が不可欠である。これらの薬液に含まれる水分はAlN膜と反応してこれを分解してしまい、膜自体の品質が低下することが知られている。従って、SiC-FETの絶縁膜にAlN膜を用いることによりSiCの材料特性を十分に引き出すためには、まずAlN膜の防湿対策を検討することが急務である。しかし、これまでにこの問題に対して、その解決に向けて十分な考慮がなされていなかったのが現状である。

【0007】 またAlNは、結晶欠陥などができやすく、耐圧が不足する場合があること、リーク電流が大きいこと、という欠点を有していた。SiCの表面にAlNを形成する場合、a軸の格子定数がAlNのほうが1%程度大きい。このミスマッチのため、SiC上に比較的厚く成膜するとクラックが入り、場合によってははがれなどが発生していた。また、SiCとAlNの界面に格子ミスマッチに起因すると思われる界面順位が発生し、トランジスタ性能が悪いという欠点があった。特に、結晶性のAlNをSiCのいわゆるSi面に形成した場合、上記欠点が大きかった。

【0008】 また、SiCは化学的に安定な物質であるため、酸化速度が遅く、素子の必要な部分に必要な形状で絶縁膜を形成することが難しい。さらにまた、SiC-FETトランジスタを試作したところ、その試作されたトランジスタの特性は良い結果が得られないことが判明した。このように良い結果が得られなかったのは、MOSチャネル部の電子移動度が極端に低いため、チャネル抵抗が大きく、オン電圧が高くなったためであることに、本発明者らは注目している。

【0009】

【発明が解決しようとする課題】 以上のように、SiCパワー素子の耐圧を向上させるため、Si酸化膜より耐圧の高いAlN膜を用いることが必要とされている。このAlN膜をSiC-FETの絶縁膜として用いることによりSiCの材料特性を十分に引き出すためには、まずAlN膜の防湿対策を検討することが急務である。しかし、これまでこの問題に対してその解決に向けて十分

10

20

30

40

50

な考慮がなされていなかった。

【0010】また、従来のFETでは、AlN絶縁膜に印加される電界で破壊しないこと、そしてリーク電流を低減することの2つを同時に解決しなければならず、また成膜後のクラック発生の問題、そして界面順位の問題があった。

【0011】また、SiCは化学的に安定な物質であるため、酸化速度が遅く、素子の必要な部分に必要な形状で絶縁膜を形成することが難しい。さらにまた、試作されたSiC-MOSトランジスタの特性は良い結果が得られないことが判明した。

【0012】本発明は上記の点に鑑みてなされたものであり、その目的は防湿対策を施されたAlN膜を用いることによりSiCの材料特性を十分に引き出し、且つ安定動作可能なSiC-FETの実現に寄与する半導体装置を提供することにある。

【0013】また、本発明の別の目的は、高耐圧絶縁膜としてAl, Ga, In, N ( $x+y+z=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ である。)を主体とする膜を、SiC等の基板に選択的に且つ簡便に形成する、薄膜形成方法を提供することにある。

【0014】さらにまた、本発明の別の目的は、従来よりも小さいチャネル抵抗を持ち、したがって、オン電圧が低いMOSトランジスタ構造を持つSiC素子を提供することにある。

【0015】

【課題を解決するための手段】上記課題を解決するために本発明は、以下に述べる構成を採用している。即ち、本発明(請求項1)は、炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第二導電型ベース領域表面のゲート領域及び接合終端領域のうち少なくとも一つの領域上に形成されたAlN膜と、前記AlN膜上に形成された表面被覆膜とを有する半導体装置であって、前記表面被覆膜がAl, Ga, In, N (但し、 $x$ は $0 \leq x \leq 1$ の実数であり、 $y$ は $0 \leq y \leq 1$ の実数であり、 $x+y \leq 1$ である。), ZnO, LiAlNO, LiGaNO, HfO, ScN, TiB<sub>2</sub>, UB<sub>2</sub>, WB<sub>2</sub>の一群より選択された1種類あるいは複数種類から構成されていることを特徴とする半導体装置を提供する。

【0016】また、本発明(請求項2)は、炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第一導電型ソース領域から前記第一導電型高抵抗ドリフト層に達するトレンチと、このトレンチ内部に絶縁膜を介して埋め込まれたゲート電極と、前記トレンチ内部の絶縁膜の領

域及び接合終端領域のうち少なくとも一つの領域上に形成されたAlN膜と、前記AlN膜上に形成された表面被覆膜とを有する半導体装置であって、前記表面被覆膜がAl, Ga, In, N (但し、 $x$ は $0 \leq x \leq 1$ の実数であり、 $y$ は $0 \leq y \leq 1$ の実数であり、 $x+y \leq 1$ である。), ZnO, LiAlNO, LiGaNO, HfO, ScN, TiB<sub>2</sub>, UB<sub>2</sub>, WB<sub>2</sub>の一群より選択された1種類あるいは複数種類から構成されていることを特徴とする半導体装置を提供する。

10 【0017】上記した本発明(請求項1及び2)によれば、防湿性の高いAl, Ga, In, N (但し、 $x$ は $0 \leq x \leq 1$ の実数であり、 $y$ は $0 \leq y \leq 1$ の実数であり、 $x+y \leq 1$ である。), ZnO, LiAlNO, LiGaNO, HfO, ScN, TiB<sub>2</sub>, UB<sub>2</sub>, WB<sub>2</sub>の一群より選択された1種類あるいは複数種類からなる表面被覆膜をAlN膜上に形成することにより、当該膜の品質劣化を防止し、その結果SiCの材料特性を十分に引き出してFETの高耐圧化を図ることができる。

20 【0018】なお、請求項1又は2に係る本発明の半導体装置において、前記炭化珪素基板が六方晶系炭化珪素よりなることが望ましい。次に、本発明(請求項4)は、炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第二導電型ベース領域の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する半導体装置であって、前記ゲート絶縁膜及び接合終端領域上の表面保護膜のうち少なくとも一つは不純物がドーパされたAlNからなることを特徴とする半導体装置を提供する。

30 【0019】また、本発明(請求項5)は、炭化珪素基板に形成された第一導電型高抵抗ドリフト層と、前記第一導電型高抵抗ドリフト層の表面層の一部に形成された第二導電型ベース領域と、前記第二導電型ベース領域内に形成された第一導電型ソース領域と、前記第一導電型ソース領域から前記第一導電型高抵抗ドリフト層に達するトレンチと、このトレンチ内部に絶縁膜を介して埋め込まれたゲート電極とを有する半導体装置であって、前記トレンチ内部の絶縁膜及び接合終端領域上の表面保護膜のうち少なくとも一つは不純物がドーパされたAlNからなることを特徴とする半導体装置を提供する。

40 【0020】上記した本発明(請求項4及び5)によれば、AlNに添加された不純物は、あるものは深いエネルギー順位にあるので、これを添加することにより高抵抗化を実現することができる。したがって、高耐圧を維持したままリーク電流の低減を実現することが可能である。

50 【0021】ここで、請求項4又は5に係る本発明の半導体装置において、前記不純物が、酸素、炭素から選ば

れた少なくとも1種の元素からなることが望ましい。これらの元素は、添加することにより抵抗が高くなる。そしてさらに化学的に安定となる。つまり、湿気による動作劣化や、プロセス中での劣化、例えば現像液による腐食などを低減することができる。

【0022】また、前記不純物が、希土類元素の内から選ばれた少なくとも一種の元素からなることが望ましい。これらの元素は、添加することにより酸素などと同様に抵抗を上げることができる。

【0023】また、前記不純物が、亜鉛、カドミウム、あるいはアルカリ土類のマグネシウム、カルシウム、ストロンチウム、バリウムの内から選ばれた少なくとも一種の元素からなることが望ましい。これらの元素は、抵抗自体は若干下がるが、結晶欠陥を少なくする効果があり、結晶欠陥に起因する耐圧不良を低減することができる。添加により若干の抵抗減少があるが、欠陥を少なくすることができるので厚くすることができ、リーク電流は従来並みの値に維持することができる。

【0024】さらにまた、不純物がホウ素であることが望ましい。この元素の添加により、バンドギャップを大きくでき、リーク電流が下がる。そして、添加によりAlNの格子定数を小さくしSiCのそれに近づけることができ、剥れなどを防ぐことができる。また、格子定数を小さくできると、炭化珪素との界面での界面順位密度を下げる効果があり、FET特性を向上することが可能である。

【0025】また、AlNをSiC表面に形成すると、シリコン面よりもカーボン面の方が、界面順位が小さく性能が良いことを見出した。これに、上記不純物を添加したAlNを用いた場合には、両者の特徴がそれぞれ発揮され効果が飛躍的に向上する。特に、ホウ素を添加した場合にはカーボン面での界面順位が更に低下する。

【0026】なお、上記の不純物を導入したAlNゲート絶縁膜は、上記構成以外のものでゲート絶縁膜を用いる構造のものや、シリコンを用いた半導体装置にも適用できる。

【0027】以上のように、本発明によれば、絶縁膜に不純物をドーピングしたAlNを用いることにより、耐圧及びリーク電流についてFETに必要な特性を得ることができ、炭化珪素の特徴を十分発揮させることが可能となる。

【0028】次に、本発明（請求項10）は、基板上にシリコン酸化膜を選択的に形成した後、水素化物系ガスを流しながらAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を主体とする膜を成長させることによって、前記Al、Ga、In、Nを主体とする膜を前記基板上のみに形成することを特徴とする薄膜形成方法を提供する。

【0029】また、本発明（請求項11）は、基板上にシリコン酸化膜を選択的に形成した後、弗化物系ガスを

流しながらAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を主体とする膜を成長させることによって、前記Al、Ga、In、Nを主体とする膜を前記基板上のみに形成することを特徴とする薄膜形成方法を提供する。

【0030】また、本発明（請求項12）は、基板上にシリコン酸化膜を選択的に形成した後、塩素又は塩化物系ガスを流しながらAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を主体とする膜を成長させることによって、前記Al、Ga、In、Nを主体とする膜を前記基板上のみに形成することを特徴とする薄膜形成方法を提供する。

【0031】さらにまた、本発明（請求項13）は、基板上にAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を主体とする膜を形成した後、アルカリ性溶液を用いてエッチングすることにより、前記Al、Ga、In、Nを主体とする膜を前記基板上に選択的に形成することを特徴とする薄膜形成方法を提供する。

【0032】上記した請求項10乃至13に係る本発明の薄膜形成方法において、前記基板上に形成される前記Al、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を主体とする膜が、不純物CとHとOを含むことが望ましい。

【0033】また、前記基板の表面はSiCからなることが望ましい。かかる本発明によれば、高耐圧絶縁膜としてAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を主体とする膜を、SiC等の基板上に選択的に且つ簡便に形成することが可能である。

【0034】次に、本発明（請求項16）は、第1のn型SiC層と、第2のn型SiC層と、前記第1及び第2のn型SiC層の間のp型SiC層と、前記第1及び第2のn型SiC層及びp型SiC層を覆う絶縁膜と、この絶縁膜上に形成された電極層とを備えたMOS型トランジスタ構造を持つ電力用の半導体装置であって、測定箇所数をN、i番目の測定箇所の高さを $h_i$ として、

【0035】

【数2】

$$\left[ (1/N) \sum_{i=1}^N \left\{ h_i - \left( \sum_{i=1}^N h_i / N \right) \right\}^2 \right]^{1/2}$$

を平均ラフネスと定義した場合に、前記絶縁膜下の第1及び第2のn型SiC層及びp型SiC層の表面の平均ラフネスが0.3nm以下であることを特徴とする半導体装置を提供する。

【0036】本発明者等は、SiC-MOSFETが大きなチャネル抵抗を持つ理由を次のように考えている。

すなわち、低いチャネル抵抗が得られない理由は、ゲート絶縁膜下の第1のn型SiC層、p型SiC層、第2のn型SiC層の表面に存在する微少な凹凸によって電子が移動中に散乱を受け、電子移動度が低下するからである。したがって、本発明によれば、チャネル抵抗が低いMOS型構造を有するSiC半導体装置を得ることができる。なお、以上述べた各本発明において、基板には、基板そのもの、及び当該基板上にエピタキシャルをしたもの等が含まれる。

#### 【0037】

【発明の実施の形態】以下、本発明の実施形態を図面を参照しつつ詳細に説明する。

(第1の実施形態) 図1は、本発明による第1の実施形態のSiC縦形FETの断面図である。本実施形態において第一導電型としてn型を、また第二導電型としてp型を用いた。n型低抵抗SiC基板1上にエピタキシャル法によりn型高抵抗ドリフト層2を形成する。そのn型高抵抗ドリフト層2上にMOCVD法によりAlN膜3を100nm程度、Al<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4 (但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)を50nm程度、順に連続して形成する。

【0038】ここで、AlN膜3の膜厚は500nm以下であることが望ましい。それより厚くなると膜にクラックが生じ、AlN膜3の電気的特性が劣化するだけでなく、その上に形成されるAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4の品質も低下してしまうからである。一方AlN膜の厚さが500nm以下の場合には、その上に形成されるAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4 (但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)はクラックを生じることなく極めて表面が平坦となり、電気的にも優れた特性を示す。

【0039】また、Al<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4として特にInN及びGaNを用いた場合には、これらの膜へのオーミックコンタクトが作製し易いという特長とともにAlN膜3に対して良質なショットキーコンタクトを形成できるため、FET動作において優れたゲート特性を示す。

【0040】次に、Al<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4上にCVD法等によりn型低抵抗のポリSi膜5を形成する。ここでポリSi膜5の代りに、ポリSiC膜、ポリSiGe膜のいずれか、あるいはポリSi膜を含めたそれらの複合膜を用いてもよい。その後ポリSi膜5上にCVD法によりSiO<sub>2</sub>膜(不図示)を全面に形成する。

【0041】次に、ドライエッチング法等により選択的にSiO<sub>2</sub>膜、ポリSi膜5、Al<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4、AlN膜3の順にエッチングしゲート領域6を形成する。ここで、ゲート領域6以外でAlN膜3の一部あるいは全部をエッチングせずに残し、後に述べるイ

オン注入工程のシャドウマスクとして用いても良い。また、このときn型高抵抗ドリフト層2上の少なくとも一部に選択的に接合終端上の保護膜(不図示)を形成しておく。

【0042】次に、ゲート領域6と接合終端上の保護膜(不図示)をマスクとしてn型高抵抗ドリフト層2内にアルミニウムあるいはボロン等のp型不純物をイオン注入し、その後の活性化熱処理により選択的にp型ベース領域7を形成する。次にp型ベース領域7内に窒素等のn型不純物をイオン注入し、その後の活性化熱処理により選択的にn型ソース領域8を形成する。

【0043】次に、ゲート領域のSiO<sub>2</sub>膜をウェットエッチング等により除去した後、ポリSi膜5上にゲート電極層9を選択的に形成する。次にゲート電極層9の上面に絶縁膜10を形成する。次に絶縁膜10上を含むn型ソース領域8とp型ベース領域7の上に、ソース電極層11を形成する。又、ソース電極層11と反対側のn型低抵抗SiC基板1の表面に、ドレイン電極層12を形成して、SiC縦形FETを完成する。

【0044】このように本実施形態では、表面が非常に平坦でクラックが無く防湿性の高いAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜4 (但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)を表面被覆膜としてAlN膜3上に形成することにより当該膜の品質劣化を防止し、その結果SiCの材料特性を十分引き出して縦形FETの高耐圧化を図ることができる。

【0045】またここでは、AlN膜3上の表面被覆膜4の一例としてAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜を用いたが、これ以外にもスパッタ法等によりZnO、LiAlNO、LiGaNO、HfO、ScN、TiB<sub>2</sub>、UB<sub>2</sub>、WB<sub>2</sub>を形成して用いても同様な効果が得られる。

【0046】これらのうちで、ZnO、LiAlNO、LiGaNO、HfO、ScNについては、AlN膜上の表面被覆膜としてだけではなく、AlNの下地絶縁膜として用いても優れたFETのゲート特性を得ることができる。一方で、TiB<sub>2</sub>、UB<sub>2</sub>、WB<sub>2</sub>については、これらの膜自体が六方晶であることからAlN膜と結晶学的に整合性が良いことに加え、また材料的には低抵抗金属であるためゲートの寄生抵抗を大幅に削減することもできる。また、上記の表面被覆膜の一群より選択された複数種類からなる膜を用いても同様な効果が得られることは言うまでもない。

【0047】また、先に述べたように高い誘電率を持つAlN膜を絶縁膜に用いることで膜自体への電界負荷が軽減できることから、ゲート絶縁膜及び接合終端上の保護膜の寿命を大幅に長くすることができる。

【0048】なお本実施形態では、基本的な構造を説明するために図1に示したような半導体装置を用いたが、実際に電力用半導体装置として使用する場合は、図1に示したようなユニットセルが数百個から数万個並列接続

10

20

30

40

50



されるものである。

【0049】(第2の実施形態)図2は、本発明による第2の実施形態のSiCトレンチゲート縦形FETの断面図である。本実施形態において第一導電型としてn型を、また第二導電型としてp型を用いた。n型低抵抗SiC基板21上にエピタキシャル法によりn型高抵抗ドリフト層22とp型ベース層23を順に形成する。そのp型ベース層23の表面層に窒素等のn型不純物をイオン注入し、その後の活性化熱処理により選択的にn<sup>+</sup>ソース領域24を形成する。さらにp型ベース層23の表面層の別の所定領域にアルミニウムあるいはボロン等のp型不純物をイオン注入し、その後の活性化熱処理によりp<sup>+</sup>型領域25を形成する。

【0050】次に、ドライエッチング法(RIE法)によりn<sup>+</sup>型ソース領域24の表面からn<sup>+</sup>型ソース領域24およびp型ベース層23を貫通してn型高抵抗ドリフト層22に達するトレンチ26を形成する。ここで、トレンチ26の内壁表面(チャネル表面)にエピタキシャル法によりp型薄膜層(不図示。SiC等からなる。)を形成することが望ましい。それはp型薄膜層がトレンチ形成時に生じた表面凹凸を低減しながら形成され、チャネル形成面を極めて平坦とするからである。その結果、チャネル移動度が飛躍的に向上し、ソース・ドレイン間のオン抵抗を低減することができる。この時p型薄膜層の結晶型はp型ベース層23の結晶型と同じとなり、又当該薄膜層の不純物濃度はp型ベース層23の不純物濃度より低く設定することが望ましい。

【0051】次に、n<sup>+</sup>型ソース領域24の表面の一部とトレンチ26内にMOCVD法等によりAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜27を100nm程度、Al<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜28(但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)を50nm程度、順に選択的に形成する。

【0052】ここで、第1の実施形態で述べたようにAlN膜の厚さが500nm以下であることが望ましい。この膜厚以下であればその上に形成されるAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜28(但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)はクラックを生じることなく極めて表面が平坦となり、表面保護の機能だけでなく電気的にも優れた特性を示すからである。また、このときp型ベース層23上の少なくとも一部に選択的にAlN膜27とAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜28を接合終端上の保護膜(不図示)として形成しておくことが望ましい。そしてトレンチ26内のAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜28の表面とトレンチ26の開口部の周囲にゲート電極層29を形成する。

【0053】次に、ゲート電極層29の上面に絶縁膜30を選択的に形成する。その後、絶縁膜30上を含むn<sup>+</sup>ソース領域24とp<sup>+</sup>型領域25の上に、ソース電極層31を形成する。又、ソース電極層31と反対側のn

型低抵抗SiC基板21の表面に、ドレイン電極層32を形成して、SiCトレンチゲート縦形FETを完成する。

【0054】本実施形態でも第1の実施形態と同じく、防湿性の高いAl<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N膜28(但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)を表面被覆膜としてAlN膜27上に形成することにより当該膜の品質劣化を防止し、その結果SiCの材料特性を十分引き出して縦形FETの高耐圧化を図ることができる。

【0055】また、特にトレンチゲート縦形FETではゲート電圧印加時にトレンチコーナー部に局所的な電界集中が起こりやすく安定動作を確保することが難しいが、上記のような絶縁膜の構成を用いれば電界集中を効果的に緩和し、デバイス動作の信頼性を飛躍的に高めることができる。

【0056】また、第1の実施形態で述べた理由と同じ理由で、高耐圧動作時にAlN膜27への電界負荷を軽減できることからゲート絶縁膜及び接合終端上の保護膜の寿命を大幅に長くすることができる。

【0057】なお本実施形態でも、実際に電力用半導体装置として使用する場合は、図2に示したようなユニットセルが数百個から数万個並列接続されるものである。また、本実施形態ではトレンチ側面に成長させる薄膜層はp型としているがこれに限定されるものではなく、n型であっても良い。

【0058】また、本実施形態で示したトレンチの構造もそれだけに限られることなく、U字型トレンチ溝、V字型トレンチ溝等にしてもよい。さらにトレンチの側面は直線的に伸びていなくてもよく、滑らかな曲面でもよい。なおトレンチ側面と基板表面のなす角度は、チャネル移動度が大きくなるように設計することにより、より良い効果が得られる。

【0059】また、以上の第1及び第2の実施形態ではnチャネル型の縦形FETのみについて説明したが、導電型のnとpを入れ替えたpチャネル型の縦形FETにおいても同じ効果を得ることができる。

【0060】また上述の第1及び第2の実施形態において、Al<sub>1-x</sub>Ga<sub>x</sub>In<sub>y</sub>N(但し、xは0≤x≤1の実数であり、yは0≤y≤1の実数であり、x+y≤1である。)、ZnO、LiAlNO、LiGaNO、HfO、ScN、TiB<sub>2</sub>、UB<sub>2</sub>、WB<sub>2</sub>の一群より選択された1種類あるいは複数種類からなる表面被覆膜をAlN膜上に形成して防湿対策を図ることにより、AlN膜の特性を十分引き出して縦形FETの高耐圧化を図ることができる。

【0061】また、先に述べたようにこれらのうちでZnO、LiAlNO、LiGaNO、HfO、ScNについてはAlN膜上の表面被覆膜としてだけではなくAlNの下地絶縁膜として用いても優れたFETのゲート

特性を得ることができる。一方  $TiB_2$ 、 $UB_2$ 、 $WB_2$  についてはこれらの膜自体が六方晶であることから  $AlN$  膜と結晶学的に整合性が良いことに加え、また材料的には低抵抗金属であるためゲートの寄生抵抗を大幅に削減することもできる。

【0062】上述したようにこれらの材料の構成に従えば  $AlN$  膜の品質劣化を防止し、その結果  $SiC$  の材料特性を十分引き出して縦形  $FET$  の高耐圧化を図ることができる。

【0063】また、 $SiC$  基板 1 及び 101 に用いる  $SiC$  (炭化珪素) 単結晶はその最大電界強度の大きい  $6H-SiC$ 、 $4H-SiC$ 、 $2H-SiC$  のいずれかを用いるのがよい。

【0064】また、本発明 (後述の発明も同様。) は縦形  $FET$  に限られたわけではなく、 $IGBT$  等、他の縦形あるいは横型パワーデバイスにも応用できるものである。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0065】(第 3 の実施形態) 図 3 は、本発明による第 3 の実施形態の  $SiC$  縦形  $FET$  の断面図である。本実施形態において第一導電型として  $n$  型を、また第二導電型として  $p$  型を用いた。表面がシリコン面となる  $n$  型低抵抗  $SiC$  基板 41 上にエピタキシャル法により  $n$  型高抵抗ドリフト層 42 を形成する。そして酸素雰囲気中  $1200^\circ C$  で加熱し酸化膜を  $1000$  オングストローム形成した。そして常圧  $CVD$  法により  $SiO_2$  を  $1.5 \mu m$  形成した (いずれも図示せず)。

【0066】その後、フォトレジストパターンを形成しこれをマスクとして、第二の導電層を形成する部分の酸化膜をエッチングで除去した。この基板にアルミニウムあるいはボロンをイオン注入し、そして活性化処理を行って  $p$  型ベース領域 43 を形成した。その後、一端酸化膜を除去した後、再度熱酸化、 $CVD$  による酸化膜形成、フォトレジストパターンの形成、エッチングを行い、ソース領域の酸化膜を除去した。そして窒素などをイオン注入し、活性化処理により  $n^+$  型ソース領域 44 を作成した。

【0067】そして酸化膜を除去した後、次に不純物を添加した  $AlN$  膜を有機金属気層成長法 ( $MOVPE$ ) などで作成した。厚さは基本的には  $100 nm$  とした。更にその上に導電性のポリシリコン層を形成しパターンニングした後、これをマスクとして  $AlN$  膜をエッチングし、ゲート絶縁膜 46、ゲート電極 47 を形成した。その後、酸化膜  $SiO_2$  を成膜し、フォトレジストパターンの形成とエッチングによりソース領域の酸化膜を除去し絶縁膜 48 を形成した。

【0068】次いでソース電極 49 として例えば  $Ni$  層を形成し、裏面にドレイン電極 45 として例えば  $Ni$  層を形成し、それぞれアニール処理によりオーミック性を確保した。以上のプロセスを経て  $FET$  を形成した。

【0069】ここで、不純物を添加した  $AlN$  膜の作成方法は以下のようにして行う。すなわち、基板を反応炉に設置し、 $1080^\circ C$  とする。そこにトリメチルアルミニウムを  $10 \mu mol$ /分、アンモニアを  $2.4$  リットル/分流す。そして、そこに添加する元素が金属の場合にはその金属の有機物を所定の量流し、不純物を所定の量添加した膜を形成した。

【0070】本実施形態では、不純物として酸素、あるいは炭素 (メタン使用。) を添加した  $AlN$  をゲート絶縁膜として形成した。上記  $MOVPE$  で酸素ガスをごく微量流して形成した場合、膜中の酸素濃度は  $1 \times 10^{16}$  乗個/ $cm^3$  であった。またメタンをごく微量流した場合、炭素は膜中に  $1 \times 10^{18}$  乗個/ $cm^3$  含まれていた。この場合、添加したものとそうでない  $AlN$  は、ゲート絶縁膜の耐圧はほぼ同程度であったが、リーク電流は添加した場合約半分に低下した。また、添加した場合にはプロセス中で現像液に腐食されることがほとんどなく、所定の形状の絶縁膜が形成できた。また両者が  $1 \times 10^{16}$  乗個/ $cm^3$  程度含まれているものも同様な効果があった。

【0071】なお、ここで  $AlN$  の形成方法として  $MOVPE$  を使用したが、これに限らず、分子線エビタキシー、高真空でのスパッタなどが適用できる。スパッタの場合は、不純物を添加したターゲットを用いて成膜することができるので、装置、プロセスが簡単である。

【0072】また、ここで第一の導電型を  $n$  型、第二の導電型を  $p$  型としたが、これに限るものでなく、第一の導電型を  $p$  型、第二の導電型を  $n$  型としてもよい。また炭化珪素には結晶系の異なるものが存在するが、特に結晶系に制限されるものではない。また、 $SiC$  基板 1 に用いる  $SiC$  (炭化珪素) 単結晶はその最大電界強度の大きい  $6H-SiC$ 、 $4H-SiC$ 、 $2H-SiC$  のいずれかを用いるのがよい。

【0073】また本発明は縦形  $FET$  に限られたわけではなく、他の縦形パワーデバイスにも応用できるものである。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0074】(第 4 の実施形態) 第 4 の実施形態は、第 3 の実施形態の半導体装置において、不純物として酸素、あるいは炭素の代わりに希土類元素を添加した  $AlN$  膜をゲート絶縁膜として用いた。元素としてはスカンジウム、イットリウム、ランタンであり、その有機化合物を同時に流すことにより、それぞれ  $AlN$  中に添加した。添加量は成膜後の分析によればそれぞれ  $1 \times 10^{17}$  乗個/ $cm^3$  程度であった。

【0075】この場合のゲート絶縁膜の特性は、リーク電流がドープしていないものの約 7 割程度であり、リーク電流を低減できた。また複数の元素を同時に添加した場合にも同様な効果があった。

【0076】(第 5 の実施形態) 第 5 の実施形態は、第

3の実施形態の半導体装置において、不純物として酸素、あるいは炭素の代わりに亜鉛、カドミウム、そしてアルカリ土類のマグネシウム、カルシウム、ストロンチウム、バリウムをそれぞれ添加したAlN膜をゲート絶縁膜として用いた。上記添加元素を含む原料ガスとして有機化合物を用いた。添加量はそれぞれ約 $1 \times 10^{18}$  乗個/cm<sup>3</sup>であった。

【0077】この場合、抵抗率が無添加のものに比べ約2割程度下がったが、耐圧が約2倍程度向上し、動作電圧を上げることができた。これは、添加することにより膜中の欠陥を低減できたものと思われる。リーク電流は膜厚を厚くすることで小さくすることができる。

【0078】（第6の実施形態）第6の実施形態は、第3の実施形態の半導体装置において、不純物として酸素、あるいは炭素の代わりにホウ素を添加したAlN膜をゲート絶縁膜として用いた。この場合、ホウ素を添加したターゲットを用いたスパッタ法により形成した。ホウ素は数十%まで添加できるが、ここでは7%添加した。

【0079】この場合、体積抵抗は増加しリーク電流を下げた。バンドギャップを増加させることができたものと思われる。また、添加により格子定数を小さくでき、炭化珪素のそれに近づけることができた。それゆえ膜中のひずみが低減でき、500nm以上の厚さでもクラックを生じずに成膜することができた。それゆえ動作電圧も更に大きくできる効果を有している。

【0080】（第7の実施形態）図4は、本発明による第7の実施形態に係るFETの構造を示す断面図である。これは、第3乃至第6の実施形態の半導体装置においてトレンチを形成したものである。

【0081】即ち、表面がシリコン面となるn型低抵抗SiC基板51上にエピタキシャル法によりn型高抵抗ドリフト層52が形成されており、その表面にはp型ベース領域53及びn<sup>+</sup>型ソース領域54が形成されている。

【0082】また、ドライエッチング法（RIE法）によりn<sup>+</sup>型ソース領域54の表面からn<sup>+</sup>型ソース領域54およびp型ベース領域53を貫通してn型高抵抗ドリフト層52に達するトレンチ60が形成されている。さらに、n<sup>+</sup>型ソース領域54の表面の一部とトレンチ60内にゲート絶縁膜（不純物を添加したAlN膜）56が、そしてトレンチ60内のゲート絶縁膜56の表面とトレンチ60の開口部の周囲にゲート電極57が形成されている。

【0083】更に、ゲート電極57を覆うようにその上に絶縁膜58が形成されており、ソース電極59として例えばNi層が形成され、裏面にドレイン電極55として例えばNi層が形成されている。

【0084】この場合にも、第3乃至第6の実施形態と同様の不純物を添加したAlNを形成したが、この場合

も上記と同様の効果を有していた。また、本実施形態で示したトレンチの構造もそれだけに限られることはなく、U字型トレンチ溝、V字型トレンチ溝等にしてもよい。さらにトレンチの側面は直線的に伸びていなくてもよく、滑らかな曲面でもよい。なおトレンチ側面と基板表面のなす角度は、チャネル移動度が大きくなるように設計することにより、より良い効果が得られる。

【0085】また、トレンチ側壁にp型導電層を導入した場合にはFET自体の伝導特性が良くなる。また導電型のnとpを入れ替えたpチャネル型の縦形FET等においても同じ効果を得ることができる。

【0086】（第8の実施形態）第3乃至第7の実施形態において、基板にカーボン面を用い、カーボン面側にゲート絶縁膜を形成した構造とした。この場合、不純物の添加は上記それぞれの効果と同様であった。そして、更にカーボン面とすることにより界面順位密度を下げることができ、FET特性が向上することがわかった。

【0087】（第9の実施形態）図5は、本発明の第9の実施形態に係る薄膜形成方法を示す工程断面図である。図5(a)に示すように、SiC61基板上に、SiO<sub>2</sub>薄膜62を選択的に形成する。SiO<sub>2</sub>薄膜62を選択的に形成する方法としては、例えば、SiC基板61上にSiO<sub>2</sub>薄膜を、熱酸化或いは熱CVDで成長させるなどして形成した後、フォトリソでマスキングしてSiO<sub>2</sub>薄膜を部分的にHF等でエッチングすることによって形成できる。

【0088】次に、SiC基板61上に、Ga、Al等のIII族のクロライド、又は塩酸、又はCl<sub>2</sub>、又は硫化水素やセレン化水素等のVI族の水素化物、又はクロロメタン系ガス、又は弗化物、又はハロゲン系ガスを流しながら（原料ガスに添加しながら）、AlNを成長させると、図5(b)に示すように、AlN3はSiC基板直上にしか成長しない。これはAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）の成長についても同じ事が言える。単結晶Al、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を成長する場合は、アモルファスAl、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）を成長する場合より更に選択性が上がる。

【0089】Al、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）の原料は、AlのソースとしてAlを含む有機金属、NのソースとしてN<sub>2</sub>又はアンモニア、他のIII族ソースとして有機金属又は金属そのもの又は塩素を含む化合物とするのが好ましい。また、前記Ga、Al等のIII族のクロライド、又は塩酸、又はCl<sub>2</sub>、又は硫化水素やセレン化水素等のVI族の水素化物、又はクロロメタン系ガス、又は弗化物、又はハロゲン系ガスの、Al、Ga、In、N（ $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ である。）

1である。)膜成長時の濃度は $10^{-5} \sim 10^{-2}$  mol/minであることが望ましい。更に、Al, Ga, In, N ( $x+y+z=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ である。)膜成長時の成長系内温度は、単結晶であれば1100℃、ポリであれば600℃、アモルファスであれば250℃であることが好ましい。

【0090】その後、図5(c)に示すように、SiO<sub>2</sub>膜2をHF等の酸性溶液で溶かして取り除くと、選択的に形成されたAlN膜63を得ることができる。但し、AlNは水溶液に溶けやすいので、AlNが溶けない程度まで薄めた溶液でSiO<sub>2</sub>を取り除く必要がある。

【0091】(第10の実施形態)図6は、本発明の第10の実施形態に係る薄膜形成方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第9の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0092】第9の実施形態と異なるのは、AlN63上にAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)膜64が形成されていることである。Al, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)は、xが大きくなる程、湿度やアルカリ性溶液に溶け易くなる性質があり、従ってAlNは高湿度雰囲気やアルカリ性溶液に溶け易い為、AlN膜を保護する為にはAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)膜で覆うことが有効である。

【0093】(第11の実施形態)図7は、本発明の第11の実施形態に係る薄膜形成方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な目的は第10の実施形態に示したものと同じであり、同一の部分には同一の符号を付す。

【0094】第10の実施形態と異なるのは、AlN63膜とAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)膜64の2層構造と異なり、SiC基板61から遠くなるに従ってyが大きくなるように形成された1層のAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)graded layer 65で形成されている点である。SiC基板61に最も近くに配設されたxの大きい領域を、SiC基板61から遠くに配設されたyの大きい領域が保護するという効果は同じだが、第10の実施形態よりも簡単に形成することができる。

【0095】(第12の実施形態)図8及び図9は、本発明の第12の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第10の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0096】図8(a)乃至(d)に示すようにSiC基板61主表面上にAlN膜63とそれを保護する為のAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$

である。)膜64が形成されており、SiC基板1の裏面にはオーミック電極71が形成されている。

【0097】その後、図9(a)に示すように、レジストパターン72を形成して、図9(b)に示すようにリフトオフ法によりショットキー電極73を形成し、ショットキーバリアダイオードを作製する。このショットキーバリアダイオードの中で、AlN膜63は高耐圧の終端構造として用いられている。

【0098】AlN膜63やAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)膜64にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。AlN膜63、Al, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)膜64のドーパントとしては、n型であれば、Si等のIV族元素、p型であればMg等のII族元素を用いることが望ましい。本実施例におけるSiC基板61は、半導体基板或いはエピタキシャル成長層を含む半導体基板であるものとする。

【0099】(第13の実施形態)図10及び図11は、本発明の第13の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第11の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0100】図10(a)乃至(c)に示すように、SiC基板61の主表面上にAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)graded layer 62が形成されており、SiC基板61の裏面にはオーミック電極71が形成されている。

【0101】その後、図11(a)に示すように、レジストパターン72を形成して、図11(b)に示すようにリフトオフ法によりショットキー電極73を形成し、ショットキーバリアダイオードを作製する。このショットキーバリアダイオードの中で、Al, Ga, N graded layer 65は高耐圧の終端構造として用いられている。

【0102】Al, Ga, N graded layer 65にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。Al, Ga, N graded layer 65のドーパントとしては、n型であれば、Si等のIV族元素、p型であればMg等のII族元素を用いることが望ましい。本実施形態におけるSiC基板61は、半導体基板或いはエピタキシャル成長層を含む半導体基板であるものとする。

【0103】(第14の実施形態)図12は、本発明の第14の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第10の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0104】図12(a)に示すように、n-SiC

10

20

30

40

50

基板 81 上に  $n^+$ -SiC 層 82 が形成されており、前記  $n^+$ -SiC 層 82 上に選択的に p-SiC 領域 83 がイオン注入等を用いて形成されており、前記 p-SiC 領域 83 上に  $n^+$ -SiC 領域 84 がイオン注入等を用いて形成されている。前記 p-SiC 領域 83 上と  $n^+$ -SiC 領域 84 上にまたがって、 $SiO_2$  膜 85 を選択的に形成する。

【0105】その後、第 10 の実施形態で用いた手法を用いると、AlN 膜 86 と Al, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$  である。) 膜 87 が、図 12 (b) に示すように選択的に形成される。図 12

(c) に示すように  $SiO_2$  膜 85 を取り除いた後、ゲート電極 88 を Al, Ga, N 膜 87 上に、ソース電極 89 をゲート電極 88 と接触しないように p-SiC 領域 83 と  $n^+$ -SiC 領域 84 にまたがって形成し、SiC 基板 81 裏面にドレイン電極 90 を配設することにより、SiC-MOSFET を作製することができる。

【0106】この MOSFET の中で、AlN 膜 86 は MOS ゲートの絶縁層として用いられている。従来ゲートに用いられている  $SiO_2$  よりも高耐圧であるため、SiC の特質である破壊電界の高さを十分引き出すことができる。

【0107】更に、AlN 膜 86 や Al, Ga, N 膜 87 にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。AlN 膜 86、Al, Ga, N 膜 87 のドーパントとしては、n 型であれば、Si 等の IV 族元素、p 型であれば Mg 等の II 族元素を用いることが望ましい。

【0108】(第 15 の実施形態) 図 13 は、本発明の第 15 の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第 10 の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0109】図 13 (a) に示すように、 $n^+$ -SiC 基板 100 上に  $n^+$ -SiC 層 101 が形成されており、前記  $n^+$ -SiC 層 101 上に p-SiC 層 102 が形成されており、前記 p-SiC 層 102 上にイオン注入等を用いて選択的に  $n^+$ -SiC 領域 103 が形成されている。前記  $n^+$ -SiC 領域 103 領域上に  $SiO_2$  膜 104 が選択的に形成されている。

【0110】その後、図 13 (b) のように p-SiC 層 102/ $n^+$ -SiC 領域 103/ $SiO_2$  膜 104 構造が  $n^+$ -SiC 層 101 上に島状に配設されるように、 $n^+$ -SiC 領域 103 と p-SiC 層 102 を選択的に RIE 等でエッチングする。この RIE の際、 $SiO_2$  膜 104 をマスクとして利用できる。

【0111】その後、第 10 の実施形態で用いた手法を用いると、AlN 膜 105 と Al, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$  である。) 膜 106 が、図

13 (c) に示すように前記島間の溝の側面と底面に選択的に形成される。

【0112】次に、図 13 (d) に示すように  $SiO_2$  膜 104 を取り除いた後、ゲート電極 107 を Al, Ga, N 膜 106 上に、ソース電極 108 をゲート電極 107 と接触しないよう  $n^+$ -SiC 領域 103 上に形成し、SiC 基板 100 の裏面にドレイン電極 109 を配設することにより、SiC-縦形 MOSFET を作製することができる。

【0113】この MOSFET の中で、AlN 膜 105 は MOS ゲートの絶縁層として用いられている。従来ゲートに用いられている  $SiO_2$  よりも高耐圧であるため、SiC の特質である破壊電界の高さを十分引き出すことができる。

【0114】更に、AlN 膜 3 や Al, Ga, N 膜 4 にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。AlN 膜 105、Al, Ga, N 膜 106 のドーパントとしては、n 型であれば、Si 等の IV 族元素、p 型であれば Mg 等の II 族元素を用いることが望ましい。

【0115】(第 16 の実施形態) 図 14 は、本発明の第 16 の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第 11 の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0116】図 14 (a) に示すように、 $n^+$ -SiC 基板 81 上に  $n^+$ -SiC 層 82 が形成されており、前記  $n^+$ -SiC 層 82 上に選択的に p-SiC 領域 83 がイオン注入等を用いて形成されており、前記 p-SiC 領域 83 上に  $n^+$ -SiC 領域 84 がイオン注入等を用いて形成されている。前記 p-SiC 領域 83 上と  $n^+$ -SiC 領域 84 上にまたがって、 $SiO_2$  膜 85 を選択的に形成する。

【0117】その後、第 11 の実施形態で用いた手法を用いると、Al, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$  である。) graded layer 110 が、図 14

(b) に示すように選択的に形成される。図 14 (c) に示すように  $SiO_2$  膜 85 を取り除いた後、ゲート電極 88 を Al, Ga, N graded layer 110 上に、ソース電極 89 をゲート電極 88 と接触しないように p-SiC 領域 83 上と  $n^+$ -SiC 領域 84 上にまたがって形成し、SiC 基板 100 の裏面にドレイン電極 90 を配設することにより、SiC-MOSFET を作製することができる。

【0118】この MOSFET の中で、Al, Ga, N graded layer 110 は、SiC 基板に接触している領域は x が大きく、SiC 基板から遠くなるほど y が大きくなるような組成で作製されており、MOS ゲートの絶縁層として用いられている。従来ゲートに用いられている  $SiO_2$

よりも高耐圧であるため、SiCの特質である破壊電界の高さを十分引き出すことができる。

【0119】更に、Al, Ga, Ngraded layer 110 にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。ドーパントとしては、n型であれば、Si等のIV族元素、p型であればMg等のII族元素を用いることが望ましい。

【0120】(第17の実施形態) 図15は、本発明の第17の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第11の実施形態に示したものと同一であり、同一部分には同一の符号を付す。

【0121】図15(a)に示すように、n<sup>-</sup>-SiC基板100上にn<sup>-</sup>-SiC層101が形成されており、前記n<sup>-</sup>-SiC層101上にp-SiC層102が形成されており、前記p-SiC層102上にイオン注入等を用いて選択的にn<sup>-</sup>-SiC領域103が形成されている。前記n<sup>-</sup>-SiC領域103領域上にSiO<sub>2</sub>膜104が選択的に形成されている。

【0122】その後、図15(b)のようにp-SiC層104/n<sup>-</sup>-SiC領域103/SiO<sub>2</sub>膜102構造がn<sup>-</sup>-SiC層101上に島状に配設されるように、n<sup>-</sup>-SiC領域103とp-SiC層102とを選択的にRIE等でエッチングする。このRIEの際、SiO<sub>2</sub>膜104をマスクとして利用できる。

【0123】その後、第11の実施形態で用いた手法を用いると、Al, Ga, N (x+y=1、0≤x≤1、0≤y≤1である。) graded layer 111が、図15(c)に示すように前記島間の溝の側面と底面に選択的に形成される。図15(d)に示すようにSiO<sub>2</sub>膜104を取り除いた後、ゲート電極107をAl, Ga, Ngraded layer 111上に、ソース電極108をゲート電極107と接触しないようn<sup>-</sup>-SiC領域103上に形成し、SiC基板100の裏面にドレイン電極109を配設することにより、SiC縦形MOSFETを作製することができる。

【0124】このMOSFETの中で、Al, Ga, N graded layer 111はMOSゲートの絶縁層として用いられている。従来ゲートに用いられているSiO<sub>2</sub>よりも高耐圧であるため、SiCの特質である破壊電界の高さを十分引き出すことができる。

【0125】更に、Al, Ga, Ngraded layer 111 にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。ドーパントとしては、n型であれば、Si等のIV族元素、p型であればMg等のII族元素を用いることが望ましい。

【0126】(第18の実施形態) 図16は、本発明の第18の実施形態に係る薄膜形成方法を示す工程断面図である。SiC基板121上に、AlN薄膜122を第

9の実施形態と同じ方法で成長させ、前記AlN薄膜122上にレジスト123を図16(a)に示すように全面塗布し、露光して図16(b)に示すように選択的に反応させる。125は露光の際のメタルマスクであり、123aは反応済みレジストである。

【0127】次に、図16(c)に示すように、反応済みレジスト123aを、現像液すなわちKOH等のアルカリ性溶液で取り除くが、その際、AlNはKOH等のアルカリ性溶液に溶ける為、レジスト123をマスクとして同時エッチングできる。このようにして簡単にAlN薄膜122を選択的にSiC基板121上に形成することができる。前記アルカリ性溶液の温度は室温〜200℃が望ましい。

【0128】(第19の実施形態) 図17及び図18は、本発明の第19の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第18の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0129】図17(a)に示すように、n<sup>-</sup>-SiC基板131上にn<sup>-</sup>-SiC層132が形成されており、前記n<sup>-</sup>-SiC層132上に選択的にp-SiC領域133がイオン注入等を用いて形成されており、前記p-SiC領域133上にn<sup>-</sup>-SiC領域134がイオン注入等を用いて形成されている。

【0130】基板主面上全面にAlN薄膜135を第9の実施形態と同じ方法で成長させ、前記AlN薄膜135上にレジスト136を全面塗布し、露光して図17(b)に示すように選択的に反応させる。138は露光の際のメタルマスクであり、136aは反応済みレジストである。

【0131】次に、図17(c)に示すように、反応済みレジスト136aを、現像液すなわちKOH等のアルカリ性溶液で取り除くが、その際、AlNはKOH等のアルカリ性溶液に溶ける為、レジスト136をマスクとして同時エッチングできる。このようにして簡単にAlN薄膜135を選択的にSiC基板131上に形成することができる。前記アルカリ性溶液の温度は室温〜200℃が望ましい。

【0132】次に、図18(a)に示すように基板主面上に電極となる金属139を蒸着し、パターニングすることによって、図18(b)に示すようなMOSFETを作製することができる。AlN薄膜135は、MOSFETのゲート絶縁層として用いられている。従来ゲートに用いられているSiO<sub>2</sub>よりも高耐圧であるため、SiCの特質である破壊電界の高さを十分引き出すことができる。

【0133】更に、AlN135にドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。ドーパントとしては、n型であれば、Si等のIV族元素、p型であればMg等のII族元素を用いることが望



ましい。

【0134】(第20の実施形態)図19は、本発明の第20の実施形態に係る薄膜形成方法を用いて半導体装置を作製する方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第19の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0135】図19(a)に示すように、 $n^+$ -SiC基板151上に $n^+$ -SiC層152が形成されており、 $p$ -SiC層153/ $n^+$ -SiC領域154構造が $n^+$ -SiC層152上に島状に配設されている。基板主面上全面にAlN薄膜155を第9の実施形態と同じ方法で成長させ、次に第19の実施形態と同様に、AlN薄膜155aを選択的に形成する。その際、AlN薄膜155aは、図19(b)に示すように前記島間の溝の側面と底面に選択的に形成される。

【0136】次に図19(c)に示すように基板主面上に電極となる金属156を蒸着し、パターニングすることによって、図19(d)に示すような縦形MOSFETを作製することができる。

【0137】AlN薄膜155aは、MOSFETのゲート絶縁層として用いられている。従来ゲートに用いられている $SiO_2$ よりも高耐圧であるため、SiCの特質である破壊電界の高さを十分引き出すことができる。

【0138】更に、AlN薄膜155aにドーピングを施した膜を用いることにより、希望する耐圧を出すことができる。ドーパントとしては、 $n$ 型であれば、Si等のIV族元素、 $p$ 型であればMg等のII族元素を用いることが望ましい。

【0139】本発明中のSiC半導体としては、4H、2H、6H、3C等全ての結晶構造をもつSiC半導体に当てはまる。

(第21の実施形態)図20は、本発明の第21の実施形態に係る薄膜形成方法を示す工程断面図である。図20(a)に示すように、サファイア基板161上に、 $SiO_2$ 薄膜162を選択的に形成する。 $SiO_2$ 薄膜162を選択的に形成する方法は例えば、サファイア基板161上に $SiO_2$ 薄膜を、熱酸化或いは熱CVDで成長させるなどして形成した後、フォトリソでマスクングして $SiO_2$ 薄膜を部分的にHF等でエッチングすることによって形成できる。

【0140】次に、サファイア基板161上に、Ga、Al等のIII族のクロライド、又は塩酸、又は $Cl_2$ 、又は硫化水素やセレン化水素等のIII族の水素化物、又はクロロメタン系ガス、又は弗化物、又はハロゲン系ガスを流しながら(原料ガスに加えながら)、AlN膜を成長させると、図20(b)に示すように、AlN膜163はサファイア基板161直上にしか成長しない。これは、 $Al, Ga, In, N$  ( $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ である。)の成長についても同

じ事が言える。単結晶 $Al, Ga, In, N$  ( $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ である。)を成長する場合は、アモルファス $Al, Ga, In, N$  ( $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ である。)を成長する場合より更に選択性が上がる。

【0141】 $Al, Ga, In, N$  ( $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ である。)の原料は、AlのソースとしてAlを含む有機金属、Nのソースとして $N_2$ 又はアンモニア、III族ソースとして有機金属又は金属そのもの又は塩素を含む化合物とするのが好ましい。また、前記Ga、Al等のIII族のクロライド、又は塩酸、又は $Cl_2$ 、又は硫化水素やセレン化水素等のVI族の水素化物、又はクロロメタン系ガス、又は弗化物、又はハロゲン系ガスの、 $Al, Ga, In, N$  ( $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ である。)膜成長時の濃度は $10^{-5} \sim 10^{-2}$  mol/minであることが望ましい。更に、 $Al, Ga, In, N$  ( $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ である。)膜成長時の成長系内温度は、単結晶であれば $1100^\circ C$ 、ポリであれば $600^\circ C$ 、アモルファスであれば $250^\circ C$ であることが好ましい。

【0142】その後、図20(c)に示すように、 $SiO_2$ 膜162をHF等の酸性溶液で溶かして取り除くと、選択的に形成されたAlN膜163を得ることができる。但し、AlNは水溶液に溶けやすいので、AlNが溶けない程度まで薄めた溶液で $SiO_2$ を取り除く必要がある。

【0143】(第22の実施形態)図21は、本発明の第22の実施形態に係る薄膜形成方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な構成は第21の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0144】第21の実施形態と異なるのは、AlN膜163上に $Al, Ga, N$  ( $x+y=1, 0 \leq x \leq 1, 0 \leq y \leq 1$ である。)膜164が形成されていることである。 $Al, Ga, N$  ( $x+y=1, 0 \leq x \leq 1, 0 \leq y \leq 1$ である。)は、 $x$ が大きくなる程、高湿度雰囲気やアルカリ性溶液に溶け易くなる性質がある。従って、AlNは高湿度雰囲気やアルカリ性溶液に溶け易い為、AlN膜を保護する為には $Al, Ga, N$  ( $x+y=1, 0 \leq x \leq 1, 0 \leq y \leq 1$ である。)膜で覆うことが有効である。

【0145】(第23の実施形態)図22は、本発明の第23の実施形態に係る薄膜形成方法を示す工程断面図である。本実施形態に係る薄膜形成方法の基本的な目的は第22の実施形態に示したものと同様であり、同一の部分には同一の符号を付す。

【0146】第22の実施形態と異なるのは、AlN膜と $Al, Ga, N$  ( $x+y=1, 0 \leq x \leq 1, 0 \leq y \leq 1$ である。)膜の

1である。)膜の2層構造と異なり、サファイア基板161から遠くなるに従ってyが大きくなるように形成された1層のAl, Ga, N ( $x+y=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ である。)graded layer 165で形成されている点である。サファイア基板161に最も近くに配設されたxの大きい領域を、サファイア基板161から遠くに配設されたyの大きい領域が保護するという効果は同じだが、第22の実施形態よりも簡単に形成することができる。

【0147】(第24の実施形態)図23は、本発明の第24の実施形態に係る薄膜形成方法を示す断面図である。サファイア基板171上に、AlN薄膜172を第9の実施形態と同じ方法で成長させ、前記AlN薄膜172上にレジスト173を図23(a)に示すように全面塗布し、露光して図23(b)に示すように選択的に反応させる。175は露光の際のメタルマスクであり、173aは反応済みレジストである。

【0148】次に、図23(c)に示すように、反応済みレジスト173aを、現像液すなわちKOH等のアルカリ性溶液で取り除くが、その際、AlNはKOH等のアルカリ性溶液に溶ける為、レジスト173をマスクとして同時エッチングできる。このようにして簡単にAlN薄膜172を選択的にサファイア基板171上に形成することができる。前記アルカリ性溶液の温度は室温～200℃が望ましい。

【0149】(第25の実施形態)図24は、本発明の第25の実施形態に係る半導体装置の構造を示す断面図である。この半導体装置はSiC-MOSFETであり、このMOSFET構造は次のようにして形成した。

【0150】まず、面方位(0001)、キャリア濃度 $4 \times 10^{16} \text{ cm}^{-2}$ のp型SiC結晶半導体基板183の2カ所に1200℃でNを $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、第1のn型SiC層181と第2のn型SiC層182を形成した。

【0151】その後、ケミカル・ドライ・エッチング(CDE)によって平滑化を行い、第1のn型SiC層181、p型SiC結晶半導体基板183、第2のn型SiC層182表面のRmsを0.3nmとした。それから600℃で20nmの酸化膜を積層してゲート酸化膜184(上記実施形態と同様の材料の膜でも良い。)を形成した。

【0152】次に、第1のn型SiC層181と第2のn型SiC層182上の酸化膜にコンタクトホールを空け、Alを蒸着してそれぞれ電極185及び186を形成した。ゲート酸化膜184上にはPドープポリシリコンを積層し、この層をゲート電極187として図24に示すようにSiC-MOSFETを作製した。このようにして作製したSiC-MOSFETのチャネル移動度は $200 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であった。

【0153】(比較例)第25の実施形態に係るSiC-MOSFETとの比較を行うために、従来構造のSi

C-MOSFETを次のようにして形成した。

【0154】まず、面方位(0001)、キャリア濃度 $4 \times 10^{16} \text{ cm}^{-2}$ のp型SiC結晶半導体基板の2カ所に1200℃でNを $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、第1のn型SiC層と第2のn型SiC層を形成した。その後、1100℃で5時間水素燃焼酸化を行うことで20nmの酸化膜をゲート酸化膜として形成した。

【0155】次に、第1のn型SiC層と第2のn型SiC層上の酸化膜にコンタクトホールを空け、Alを蒸着してゲート電極を形成した。ゲート酸化膜上にはPドープポリシリコンを積層し、この層をゲート電極として図24に示すようにSiC-MOSFETを作製した。このようにして作製したSiC-MOSFETのチャネル移動度は $40 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であった。ゲート酸化膜下の第1のn型SiC層、p型SiC結晶半導体基板、第2のn型SiC層の表面の平均ラフネス(Rms)は11nmであった。なお、本発明は上記実施形態に限定されることはなく、その趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【0156】

【発明の効果】以上述べてきたように、本発明によれば、防湿性の高いAl, Ga, In, N(但し、xは $0 \leq x \leq 1$ の実数であり、yは $0 \leq y \leq 1$ の実数であり、 $x+y \leq 1$ である。), ZnO, LiAlNO, LiGaNO, HfO, ScN, TiB<sub>2</sub>, UB<sub>2</sub>, WB<sub>2</sub>の一群より選択された1種類あるいは複数種類からなる表面被覆膜をAlN膜上に形成することにより、当該膜の品質劣化を防止し、その結果SiCの材料特性を十分に引き出し且つ安定動作可能なSiCパワートランジスタを実現することができる。

【0157】また、本発明によれば、高耐圧絶縁膜としてAl, Ga, In, N( $x+y+z=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ である。)を主体とする膜を、SiC等の基板上に選択的に且つ簡便に形成する、薄膜形成方法を得ることができる。さらにまた、本発明によれば、耐圧に優れ、リーク電流が小さく、また高チャネル移動度、低チャネル抵抗のSiC-MOSFET構造を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わるSiC縦形FETの構造を示す断面図。

【図2】 本発明の第2の実施形態に係わるSiCトレンチゲート縦形FETの構造を示す断面図。

【図3】 本発明の第3の実施形態に係わるSiC縦形FETの構造を示す断面図。

【図4】 本発明の第7の実施形態に係わるSiCトレンチゲート縦形FETの構造を示す断面図。

【図5】 本発明の第9の実施形態に係る薄膜形成方法を示す工程断面図。

【図6】 本発明の第10の実施形態に係る薄膜形成方



法を示す工程断面図。

【図7】 本発明の第11の実施形態に係る薄膜形成方法を示す工程断面図。

【図8】 本発明の第12の実施形態に係る薄膜形成方法を示す工程断面図。

【図9】 本発明の第12の実施形態に係る薄膜形成方法を示す工程断面図。

【図10】 本発明の第13の実施形態に係る薄膜形成方法を示す工程断面図。

【図11】 本発明の第13の実施形態に係る薄膜形成方法を示す工程断面図。 10

【図12】 本発明の第14の実施形態に係る薄膜形成方法を示す工程断面図。

【図13】 本発明の第15の実施形態に係る薄膜形成方法を示す工程断面図。

【図14】 本発明の第16の実施形態に係る薄膜形成方法を示す工程断面図。

【図15】 本発明の第17の実施形態に係る薄膜形成方法を示す工程断面図。

【図16】 本発明の第18の実施形態に係る薄膜形成方法を示す工程断面図。 20

【図17】 本発明の第19の実施形態に係る薄膜形成方法を示す工程断面図。

【図18】 本発明の第19の実施形態に係る薄膜形成方法を示す工程断面図。

【図19】 本発明の第20の実施形態に係る薄膜形成方法を示す工程断面図。

【図20】 本発明の第21の実施形態に係る薄膜形成方法を示す工程断面図。

【図21】 本発明の第22の実施形態に係る薄膜形成方法を示す工程断面図。 30

【図22】 本発明の第23の実施形態に係る薄膜形成方法を示す工程断面図。

【図23】 本発明の第24の実施形態に係る薄膜形成方法を示す工程断面図。

【図24】 本発明の第25の実施形態に係るMOS構造を持つSiC素子の構造を示す断面図。

#### 【符号の説明】

1…n型低抵抗SiC基板

2…n型高抵抗ドリフト層

3…AlN膜

4…Al, Ga, In, N膜

5…ポリSi膜

6…ゲート領域

7…p型ベース領域

8…n<sup>+</sup>型ソース領域

9…ゲート電極層

10…絶縁膜

11…ソース電極層

12…ドレイン電極層

21…n型低抵抗SiC基板

22…n型高抵抗ドリフト層

23…p型ベース層

24…n<sup>+</sup>型ソース領域

25…p<sup>+</sup>型領域

26…トレンチ

27…AlN膜

28…Al, Ga, In, N膜

29…ゲート電極層

30…絶縁膜

31…ソース電極層

32…ドレイン電極層

41…n型低抵抗SiC基板

42…n型高抵抗ドリフト層

43…p型ベース領域

44…n<sup>+</sup>型ソース領域

45…ドレイン電極層

46…ゲート絶縁膜

47…ゲート電極

48…絶縁膜

49…ソース電極

60…トレンチ

61…SiC基板

62…SiO<sub>2</sub>膜

63…AlN膜

64…Al, Ga, N膜

65…Al, Ga, Ngraded layer

71…オーミック電極

72…レジスト

73…ショットキー電極

81…n<sup>+</sup>-SiC基板

82…n<sup>+</sup>-SiC層

83…p-SiC領域

84…n<sup>+</sup>-SiC領域

86…AlN膜

87…Al, Ga, N膜

88…ゲート電極

89…ソース電極

90…ドレイン電極

40 100…n<sup>+</sup>-SiC基板

101…n<sup>+</sup>-SiC層

102…p-SiC層

103…n<sup>+</sup>-SiC領域

105…AlN膜

106…Al, Ga, N膜

107…ゲート電極

108…ソース電極

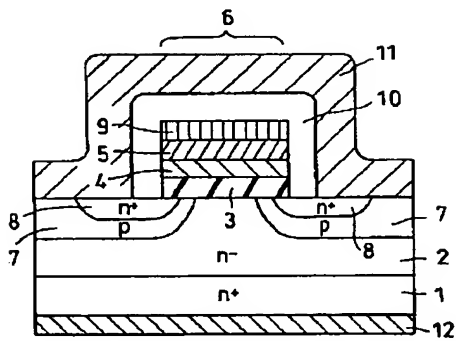
109…ドレイン電極

121…SiC基板

50 122…AlN膜

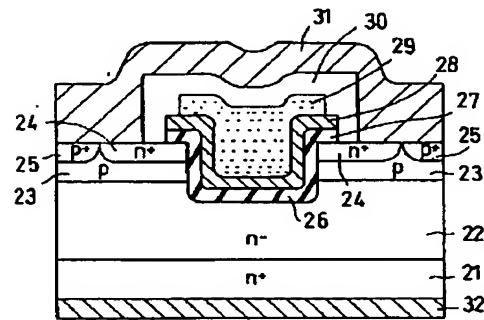
- 1 2 3...レジスト  
 1 2 4...ガラスマスク  
 1 2 5...メタルマスク  
 1 2 3 a...反応済みレジスト  
 1 6 1...サファイア基板  
 1 6 2...SiO<sub>2</sub> 膜  
 1 6 3...AlN膜  
 1 6 4...Al, Ga, N膜  
 1 6 5...Al, Ga, Ngraded layer  
 1 7 1...サファイア基板  
 1 7 2...AlN膜

【図 1】

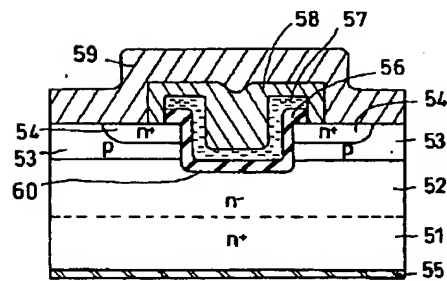


- \* 1 7 3...レジスト  
 1 7 4...ガラスマスク  
 1 7 5...メタルマスク  
 1 7 3 a...反応済みレジスト  
 1 8 1...第1のn型SiC層  
 1 8 2...第2のn型SiC層  
 1 8 3...p型SiC結晶半導体基板 (半導体層)  
 1 8 4...ゲート酸化膜  
 1 8 5...ソース電極  
 1 8 6...ドレイン電極  
 \* 1 8 7...ゲート電極

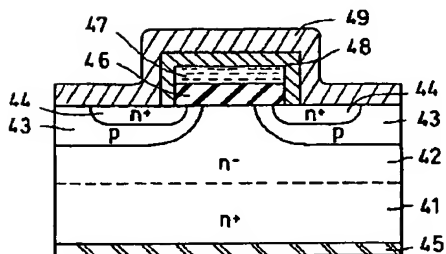
【図 2】



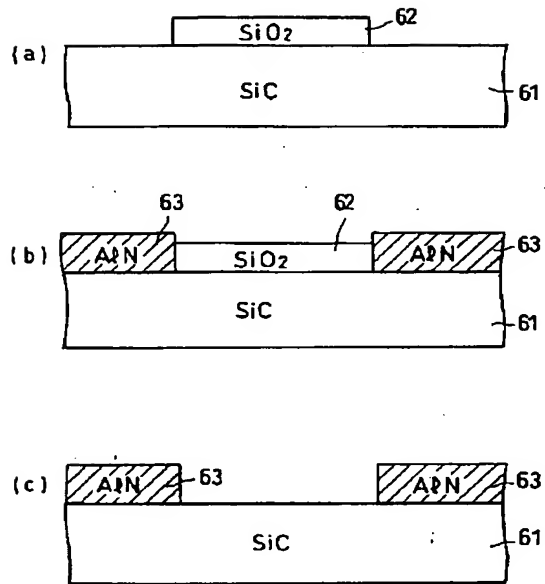
【図 4】



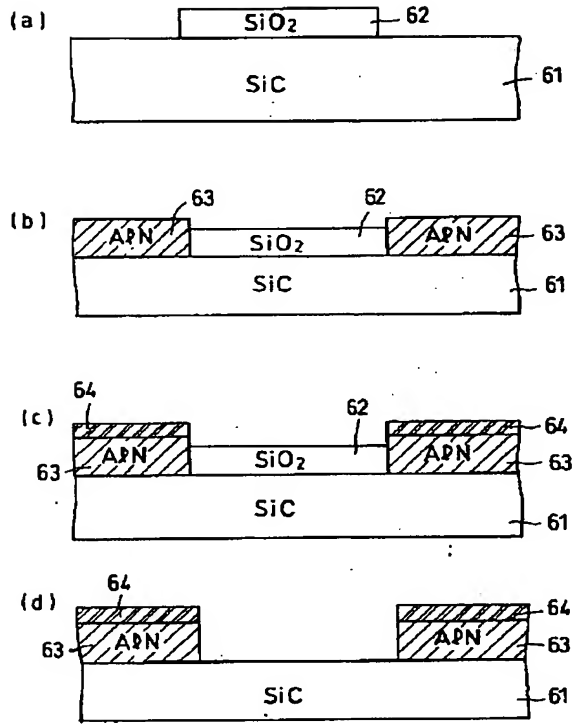
【図 3】



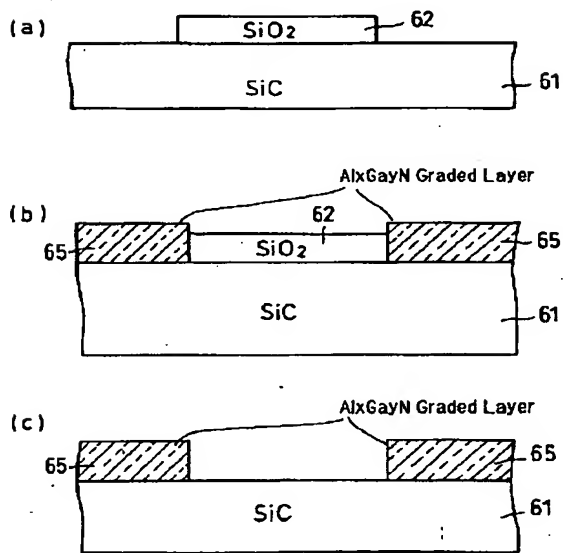
【図 5】



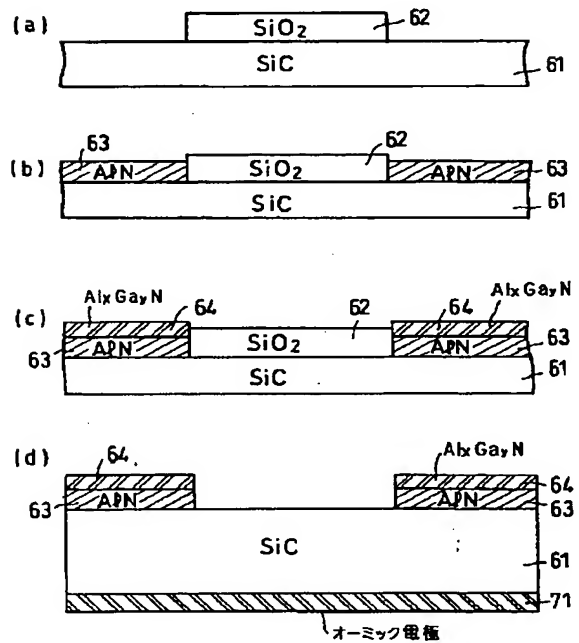
【図 6】



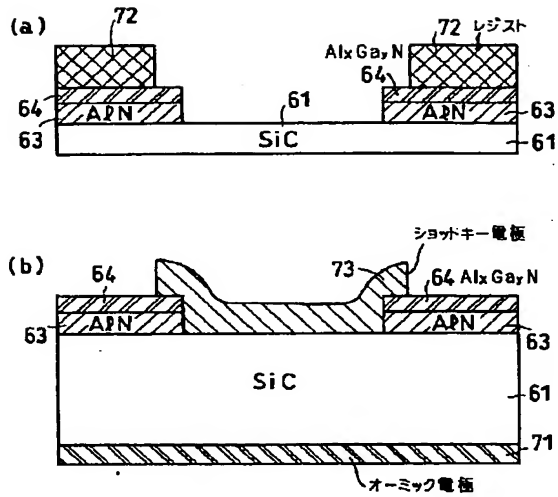
【図 7】



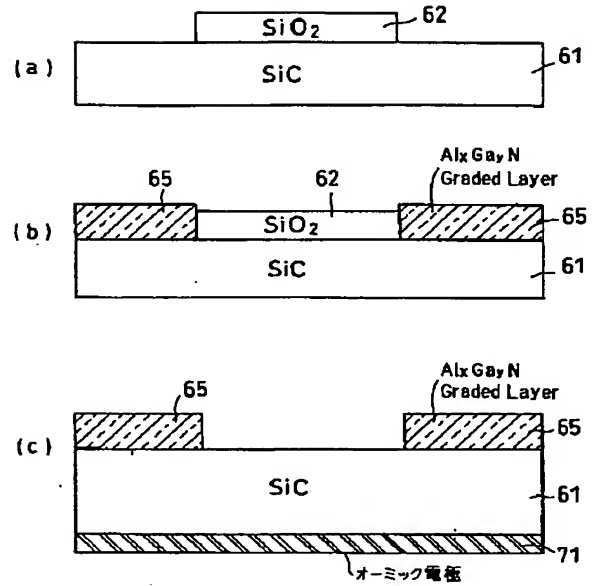
【図 8】



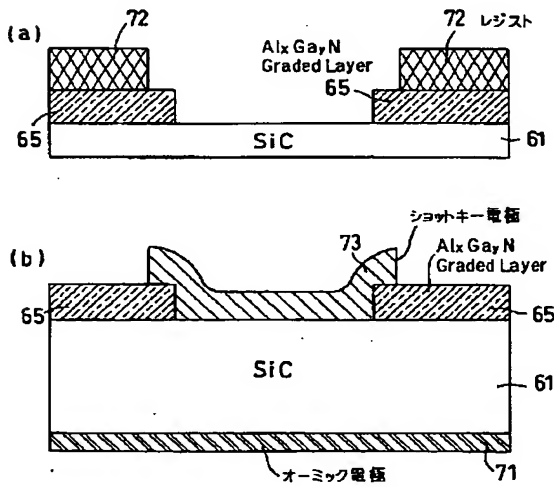
【図 9】



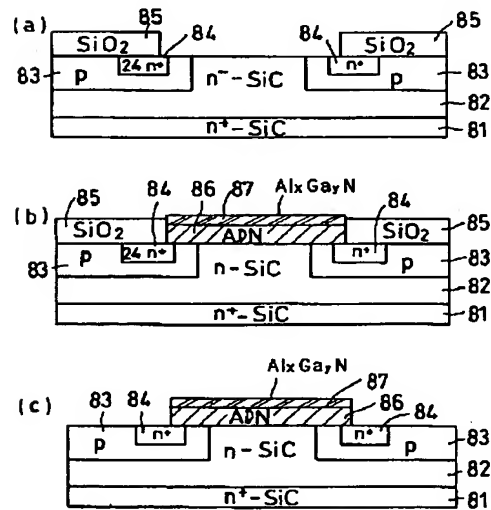
【図 10】



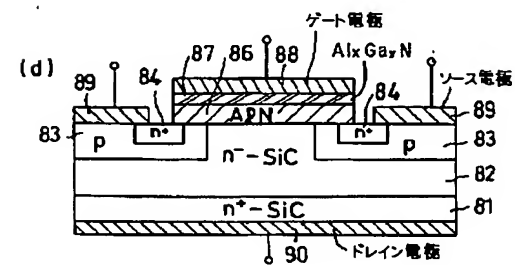
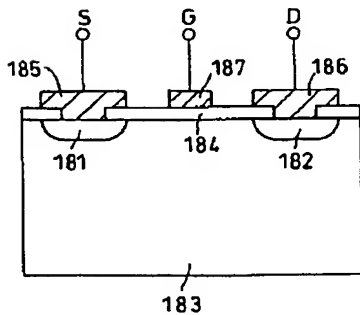
【図 11】



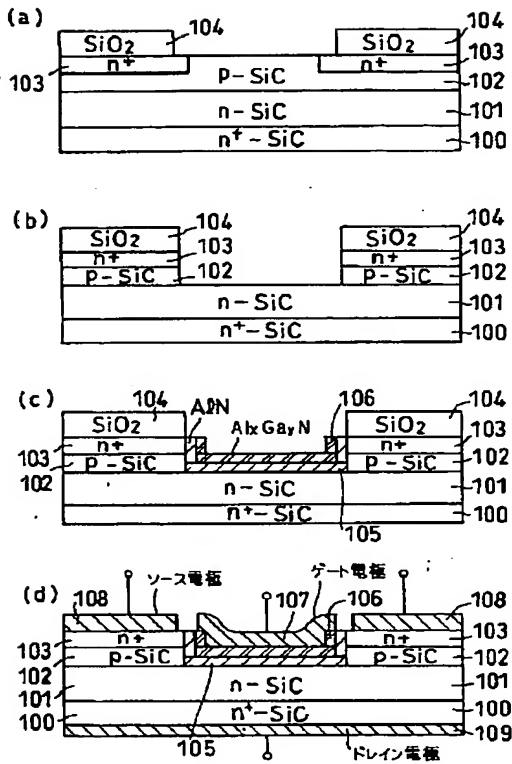
【図 12】



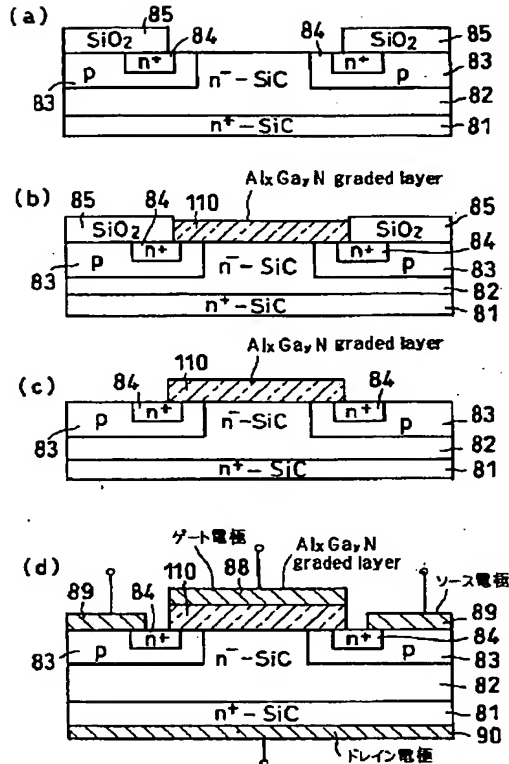
【図 24】



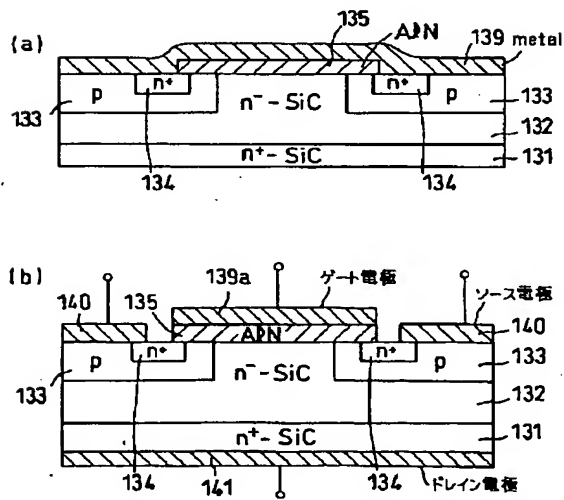
【図13】



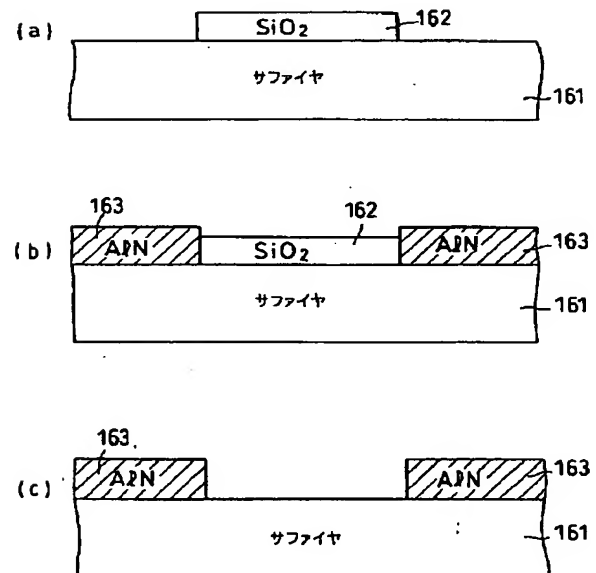
【図14】



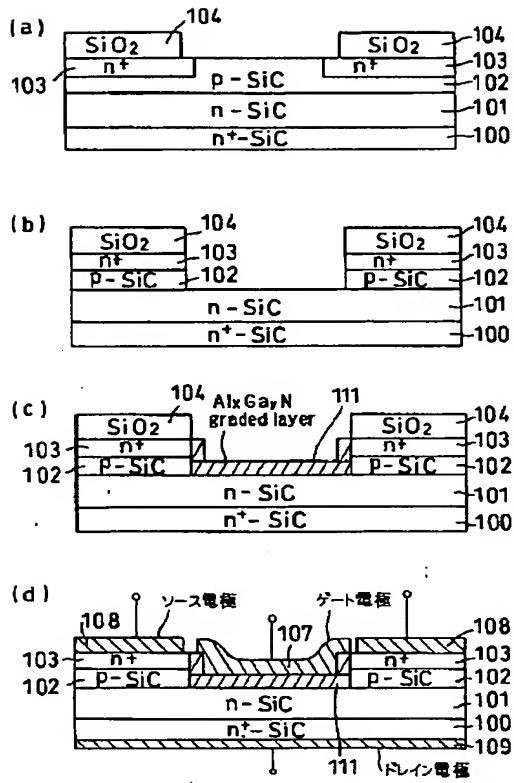
【図18】



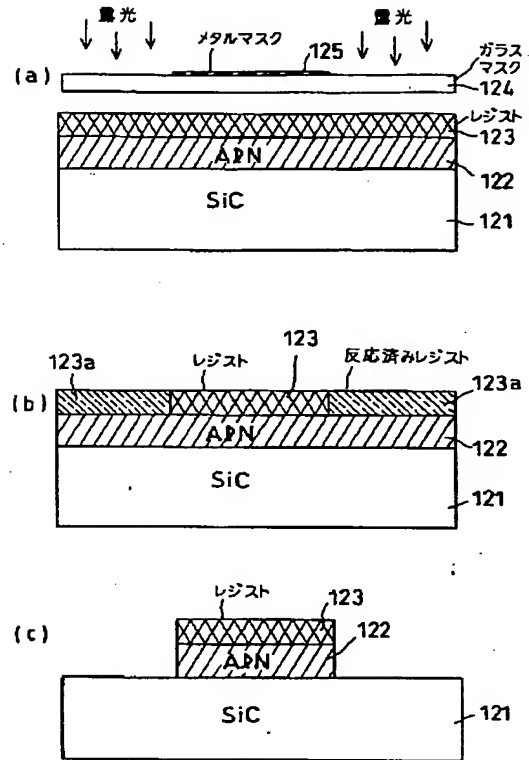
【図20】



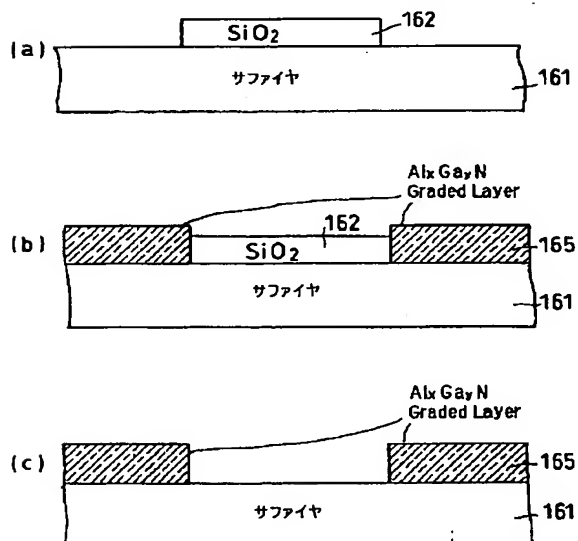
【図15】



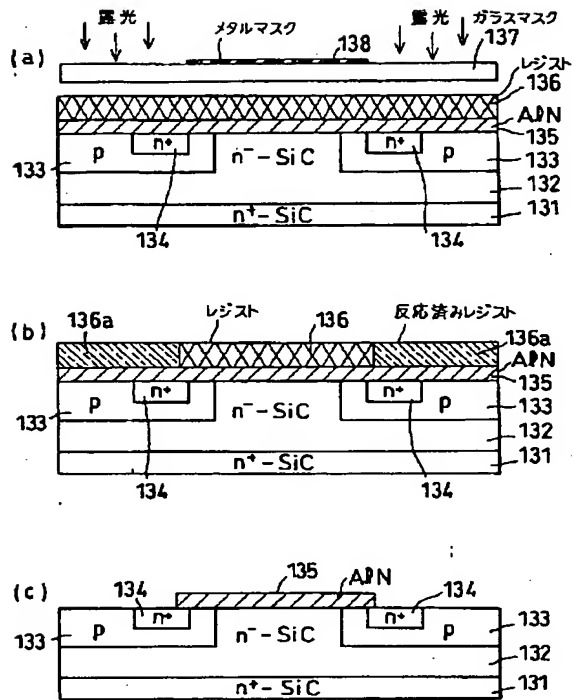
【図16】



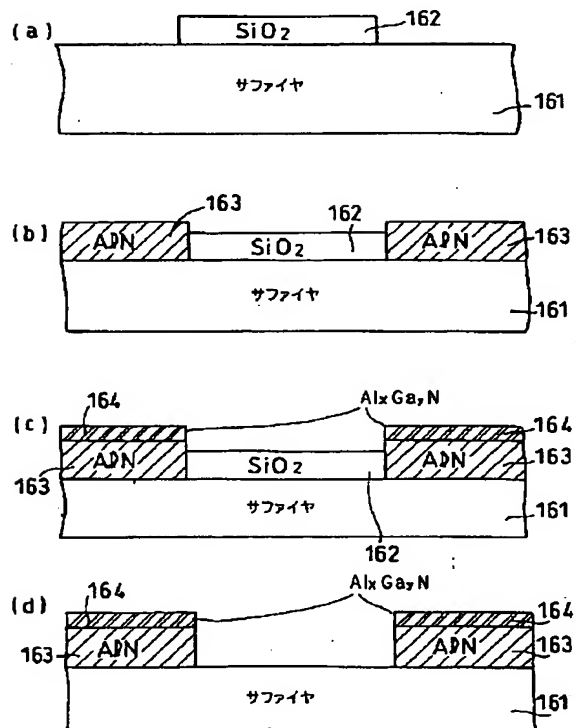
【図22】



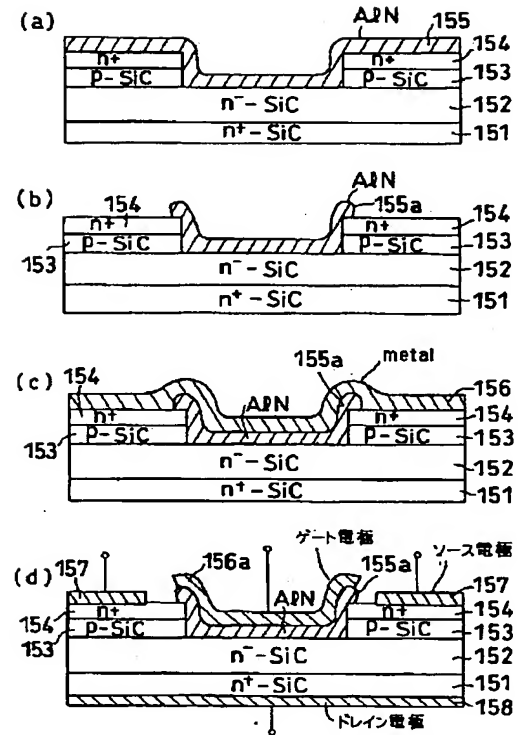
【図17】



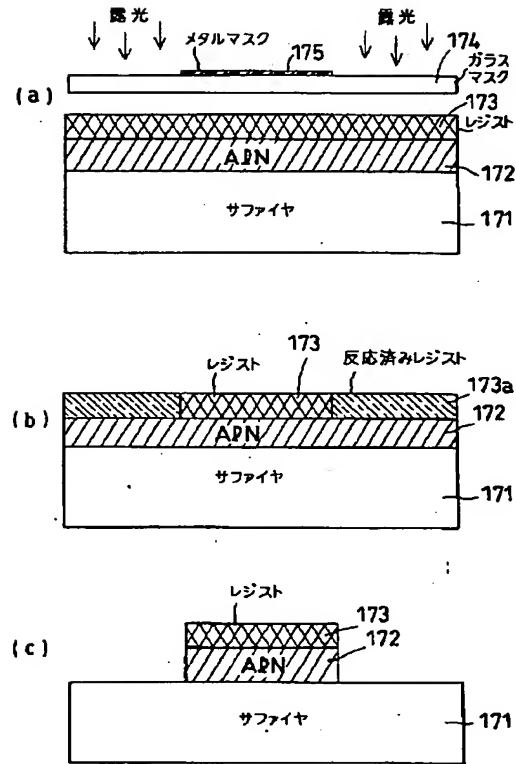
【図21】



【図19】



【図 23】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

H01L 21/336

識別記号

FI

H01L 29/78

テームコード (参考)

301G

301W

652T

653A

658F

(72)発明者 板谷 和彦

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 櫛部 光弘

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 藤本 英俊

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 森塚 真由美

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 滝川 修

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 小林 節子

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 布上 真也

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 八幡 彰博

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内



F ターム (参考) 4K029 AA04 AA24 BA58 BC05 BD01  
CA05 DC05  
4K030 AA03 AA04 AA05 AA20 BA01  
BA02 BA08 BA11 BA18 BA20  
BA21 BA24 BA26 BA27 BA38  
BA42 BA47 BA49 BA59 BB12  
CA04 CA05 DA02 DA08 HA01  
HA04 LA11 LA15  
5F040 DA19 DA21 DC02 EB13 ED01  
ED03 ED06 ED07 EE02 EF18  
FA11 FC05 FC06 FC10 FC21  
5F045 AA04 AB03 AB06 AB09 AB14  
AB17 AB18 AB32 AB40 AC08  
AC11 AC12 AC13 AC19 AD06  
AD10 AD14 AD15 AF02 AF13  
AF20 BB16 CA05 DA52 DA58  
HA13 HA15  
5F058 BA01 BB10 BC20 BD01 BD18  
BE07 BF06 BF27 BF30 BF31  
BJ01